

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

**LIQUID CRYSTAL DISPLAY DEVICE**

Patent Number: JP11223807

Publication date: 1999-08-17

Inventor(s): KOMA TOKUO

Applicant(s):: SANYO ELECTRIC CO LTD

Requested Patent: ☐ JP11223807

Application Number: JP19980331492 19981120

Priority Number(s):

IPC Classification: G02F1/133 ; G02F1/1337 ; G02F1/136 ; G09G3/20 ; G09G3/36

EC Classification:

Equivalents:

**Abstract**

**PROBLEM TO BE SOLVED:** To improve the response speed of the liquid crystal of a vertical orientation type liquid crystal display device etc., in transition from a liquid- crystal OFF state to an ON state.

**SOLUTION:** When a liquid crystal display panel in normally black mode which controls the tilt azimuth of vertically-oriented liquid crystal held between a 1st substrate and a 2nd substrate is driven, the voltage applied to the liquid crystal layer for black display is set within a limit-voltage range higher than 0 V, preferably, above the optical characteristic variation voltage of the liquid crystal so that the contrast does not become less than 50.

---

Data supplied from the esp@cenet database - I2

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-223807

(43)公開日 平成11年(1999) 8月17日

(51)Int.Cl. <sup>6</sup>	識別記号	F I
G 0 2 F 1/133	5 5 0	G 0 2 F 1/133 5 5 0
1/1337		1/1337
1/136	5 0 0	1/136 5 0 0
G 0 9 G 3/20	6 4 1	G 0 9 G 3/20 6.4 1 S
3/36		3/36

審査請求 未請求 請求項の数 7 O L (全 11 頁)

(21)出願番号 特願平10-331492  
(22)出願日 平成10年(1998)11月20日  
(31)優先権主張番号 特願平9-320189  
(32)優先日 平 9 (1997)11月20日  
(33)優先権主張国 日本 (J P)

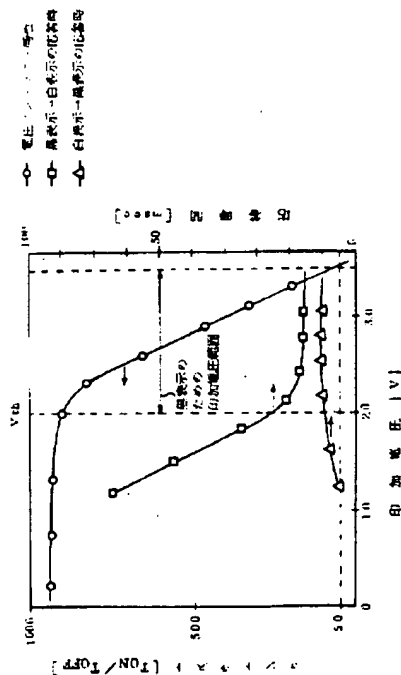
(71)出願人 000001889  
三洋電機株式会社  
大阪府守口市京阪本通 2丁目 5番 5号  
(72)発明者 小間 徳夫  
大阪府守口市京阪本通 2丁目 5番 5号 三  
洋電機株式会社内  
(74)代理人 弁理士 吉田 研二 (外 2名)

(54)【発明の名称】 液晶表示装置

(57)【要約】

【課題】 垂直配向型などの液晶表示装置において、液晶オフ状態からオン状態に移行させる際の液晶の応答速度を向上させる。

【解決手段】 第1基板と第2基板との間に挟持された垂直配向された液晶の傾斜角度を電界によって制御するノーマリブラックモードの液晶表示パネルを駆動する場合に、黒表示のために液晶層に印加する電圧を0ボルトより大きく、より好ましくは液晶の光学特性変化電圧 $V_{th}$ 以上であって、コントラストが0以下とならない限度の電圧の範囲に設定する。



## 【特許請求の範囲】

【請求項1】 液晶駆動用の電極を備えた第1基板と第2基板との間に挟持された液晶の配向の垂直方向成分及び平面方向成分を電界によって制御する液晶表示装置であり、

液晶に印加する駆動電圧の範囲の下限を0ボルトより大きく設定することを特徴とする液晶表示装置。

【請求項2】 液晶駆動用の電極を備えた第1基板と第2基板との間に挟持された液晶の配向の垂直方向成分及び平面方向成分を電界によって制御する液晶表示装置であり、

液晶に印加する駆動電圧の範囲の下限を液晶の光学特性変化電圧以上に設定することを特徴とする液晶表示装置。

【請求項3】 請求項1又は請求項2のいずれかに記載の液晶表示装置において、

液晶層に印加する前記駆動電圧の範囲の下限は表示コントラスト50以上を満たす電圧の範囲内とすることを特徴とする液晶表示装置。

【請求項4】 請求項2に記載の液晶表示装置において、

前記駆動電圧の範囲の下限を温度依存性を有する液晶の光学特性変化電圧の温度変化による電圧変化に追従させることを特徴とする液晶表示装置。

【請求項5】 請求項1～請求項4のいずれか一つに記載の液晶表示装置において、

液晶は、初期傾斜角がほぼ0度の垂直又は水平に初期配向されていることを特徴とする液晶表示装置。

【請求項6】 請求項1～請求項5のいずれかに記載の液晶表示装置において、

前記液晶駆動用の電極には、所定形状の電極不在領域が設けられ、該電極の端部に発生する斜め方向の電界により、前記液晶の配向の平面方向成分を制御することを特徴とする液晶表示装置。

【請求項7】 請求項1～請求項6のいずれかに記載の液晶表示装置において、

前記第1基板上の液晶駆動用の電極は、該基板上にマトリクス状に設けられた複数の画素電極であり、

能動層に低温で形成された多結晶シリコン層を利用した多結晶シリコン薄膜トランジスタが対応する前記画素電極に接続されるように形成され、

前記複数の画素電極のそれぞれと、前記第2基板上の液晶駆動用電極である共通電極との間で液晶層を画素電極毎に駆動して表示を行うことを特徴とする液晶表示装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】この発明は、液晶の傾斜角を電界によって制御する電圧制御複屈折方式などの液晶表示装置、特にその駆動回路に関する。

## 【0002】

【従来の技術】一対の基板間に液晶を封入し、この液晶に電圧を印加して所望の表示を行う液晶表示装置は、小型、薄型であるという利点があり、また低消費電力化が容易であるため、現在、各種OA機器、AV機器或いは携帯用、車載用情報機器などのディスプレイ等として実用化が進んでいる。

【0003】このような液晶表示装置のうち、負の誘電異方性を有した液晶を用い、垂直配向膜を用いて液晶分子の初期配向を垂直方向に制御するDAP（deformation of vertically aligned phase）型の液晶表示装置が提案されている。DAP型は、電圧制御複屈折（ECB：electrically controlled birefringence）方式の一種であり、液晶分子の長軸と短軸との屈折率の差、つまり複屈折現象を利用して、液晶層へ入射した光の透過率及び表示色を制御するものである。DAP型液晶表示装置では、一対の基板の外側にそれぞれその偏光方向が直交するように偏光板が配置され、液晶層への電圧印加時には、液晶層に一方の偏光板を通過して入射した直線偏光がその複屈折により楕円偏光、円偏光となり、一部が他方の偏光板から射出される。液晶層への印加電圧、即ち液晶層中における電界強度に従って、液晶層の複屈折量、つまり入射直線偏光の常光成分と異常光成分との位相差（リタデーション量）が決定するため、液晶層への印加電圧を各画素毎に制御することで、画素毎に第2の偏光板からの射出光量を制御でき、全体として所望のイメージ表示が可能となっている。

## 【0004】

【発明が解決しようとする課題】このようなDAP型液晶表示装置は、複屈折を利用しているため本来的に光の透過効率が良く、また表示装置のパネル構造等の改良を行うことによりラビング工程を省略することが可能であり、さらに表示装置の視野角向上を図ることも可能であるという特徴を有する。しかし、垂直配向した液晶に電圧を印加した場合に、液晶分子の傾斜角度は同じでもその傾斜角にバラツキが生ずるため、1画素領域内の液晶分子の傾斜角がそろわずに多少の時間を有し、印加電圧に対する液晶分子の応答速度が劣るという問題があった。

【0005】上記課題を解決するために、この発明では、液晶の配向の垂直方向成分及び平面方向成分を電界によって制御する液晶表示装置において、液晶の応答速度を向上させることの可能な駆動回路の提供を目的とする。

## 【0006】

【課題を解決するための手段】上記目的を達成するためにこの発明は、液晶駆動用の電極を備えた第1基板と第2基板との間に挟持された液晶の配向の垂直方向成分及び平面方向成分を電界によって制御する液晶表示装置であり、液晶に印加する駆動電圧の範囲の下限を0ボルト

より大きく設定することを特徴とするものである。また、液晶に印加する駆動電圧の範囲の下限は、より好ましくは、液晶の光学特性変化電圧以上に設定する。

【0007】さらに、前記液晶に印加する駆動電圧の範囲の下限は、温度依存性を有する液晶の光学特性変化電圧の温度変化による電圧変化に追従させることとしてもよい。

【0008】また、前記液晶に印加する駆動電圧の範囲の下限は、0ボルトより大きく、かつ、表示コントラスト50以上を満たす電圧の範囲内とすることがより好ましい。

【0009】本発明は、上記液晶表示装置において、液晶は、初期傾斜角がほぼ0度の垂直又は水平に初期配向されていることを特徴とするものである。

【0010】さらに、本発明の液晶表示装置では、液晶駆動用の電極には、所定形状の電極不在領域が設けられ、該電極の端部に発生する斜め方向の電界により、前記液晶の配向の平面方向成分を制御することを特徴とするものである。

【0011】さらに、この発明では、前記第1基板上の液晶駆動用の電極は、該基板上にマトリクス状に設けられた複数の画素電極であり、能動層に低温で形成された多結晶シリコン層を利用した多結晶シリコン薄膜トランジスタが対応する前記画素電極に接続されるように形成され、前記複数の画素電極のそれぞれと、前記第2基板の液晶駆動用電極である共通電極との間で液晶層を画素電極毎に駆動して表示を行うタイプのものを用いることができる。

【0012】

【発明の実施の形態】以下、図面を用いてこの発明の好適な実施の形態（以下実施形態という）について説明する。本実施形態の液晶表示装置は、電界により液晶の配向を制御するDAP型の液晶表示パネルを駆動する場合に、電圧非印加における色表示（ここでは黒表示）のために液晶層に印加する駆動電圧の範囲の下限が0ボルトまで低下しないように制御することで、DAP型液晶表示パネルの応答速度の向上を図っている。

【0013】「液晶表示パネルの構成」まず、最初に、駆動対象であるDAP型の液晶表示パネルの構成について図1及び図2を用いて説明する。図1は液晶表示パネルの平面構成の一例、図2は図1のA-A線に沿った概略断面の一例を示している。この実施形態に係る液晶表示装置は、低温多結晶シリコンTFTが形成され、画素電極26がTFTの上層に配置されたTFT基板（第1基板）10を有し、さらに、間に液晶層40を挟んでTFT基板10と対向配置され、かつ配向制御窓34を備えた共通電極32が形成された対向基板（第2基板）30を備え、各基板10及び30の外側にはそれぞれ互いにその透過偏光方向が直交するよう配置された偏光板44、46が設けられている。

【0014】ガラスなどからなるTFT基板10上には、この例では、Cr、Ta、Mo等の金属をパターニングして得られたゲート電極12及びゲート電極12と一体のゲート電極配線12Lを備え、これらゲート電極12、ゲート電極配線12Lを覆うように、例えばSiNx及びSiO<sub>2</sub>の積層構造又はいずれか一方よりなるゲート絶縁膜14が形成されている。ゲート絶縁膜14上には、TFTの能動層として機能する多結晶シリコン薄膜20が形成されている。この多結晶シリコン薄膜20は、非晶質シリコン薄膜にレーザアニール及びランブアアニールの組み合わせ又はいずれか一方のアニール処理などを用いた低温アニール処理を施すことによって多結晶化し、その後、島状にパターニングして得たものである。

【0015】多結晶シリコン薄膜20上には、SiO<sub>2</sub>等からなる注入ストップパ23が形成されている。この注入ストップパ23は、ゲート電極12をマスクとしてTFT基板10の裏面（図2の下側）から露光することで、自己整合的にゲート電極12とほぼ同一形状にパターニングして形成されている。そして、この注入ストップパ23を利用して多結晶シリコン薄膜20にリン、砒素等の不純物を低濃度に注入することにより、多結晶シリコン薄膜20の注入ストップパ23の直下領域の両側には、自己整合的にこれらの不純物を低濃度を含む低濃度ソース領域20LS及び低濃度ドレイン領域20LDがそれぞれ形成されている。また、注入ストップパ23の直下領域は、注入ストップパ23がマスクとなって不純物が注入されないため、実質的に不純物を含有しない真性領域となり、この真性領域がTFTのチャネル領域20CHとして機能する。低濃度ソース領域20LS、低濃度ドレイン領域20LDの外側には、同じ不純物をさらに高濃度に注入することによりソース領域20S、ドレイン領域20Dが形成されている。

【0016】各領域（20CH、20LS、20LD、20S、20D）が形成された多結晶シリコン薄膜20及び注入ストップパ23上にはこれらを覆うようにSiNx等からなる層間絶縁膜22が形成されている。この層間絶縁膜22上には、Al、Mo等からなるソース電極16、ドレイン電極18及びドレイン電極18と一体のドレイン電極配線18Lが形成されている。また、ソース電極16及びドレイン電極18は、層間絶縁膜22に設けられたコンタクトホールにおいて上記多結晶シリコン薄膜20に形成されたソース領域20S、ドレイン領域20Dに接続されている。

【0017】本実施形態における低温多結晶シリコンTFTは、上記ゲート電極12、ゲート絶縁膜14、多結晶シリコン薄膜20（20CH、20LS、20LD、20S、20D）、ソース電極16、ドレイン電極18を備え、低温プロセスで形成された多結晶シリコン薄膜20を能動層として有し、またゲート電極12が電子下

側に位置する逆スタガ型のTFTによって構成されている。但し、TFT形状は逆スタガ型に限定されることなく、ゲート電極が多結晶シリコン薄膜よりも上層に配置されるスタガ型の構成であってもよい。

【0018】このような構成のTFT及び層間絶縁膜22を覆うようにTFT基板10のほぼ全面には、さらに平坦化のための平坦化層間絶縁膜24が1 $\mu$ m程度或いはそれ以上の厚さに形成されている。平坦化層間絶縁膜24は、例えばSOG (SpinOn Glass)、BPSG (Boro-phospho-Silicate Glass)、アクリル樹脂等が用いられている。平坦化層間絶縁膜24上には、表示装置が透過型の場合にはITO (Indium Tin Oxide) 等の透明導電膜を用いた液晶駆動用の画素電極26がTFT形成領域上を覆うように形成され、この画素電極26は、平坦化層間絶縁膜24に設けられたコンタクトホールを介してソース電極16に接続されている。なお、表示装置が反射型の場合にはこの画素電極26としてAl等の導電性反射材料が用いられる。

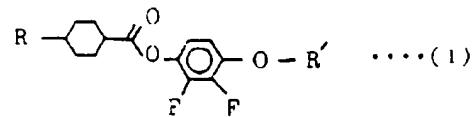
【0019】また、画素電極26を覆うようにTFT基板10のほぼ全面には、ラビング工程なしで液晶分子を垂直方向に配向させるための配向膜として、例えばポリイミド等を用いた垂直配向膜28が形成されている。

【0020】以上のような各素子が形成されたTFT基板10と液晶層40を挟んで対向配置される対向基板(第2基板)30は、TFT基板10と同様にガラス等から構成されており、TFT基板10との対向側表面にはRGBのカラーフィルタ38が形成され、さらにその上にはアクリル樹脂などの保護膜36を介し、対向する画素電極26とで液晶を駆動するためのITOなどからなる共通電極32が形成されている。そして、本実施形態では、後述するように、この共通電極32にはその各画素電極26と対向する領域に配向制御窓34として、例えば図1に示すようなX字状の電極不在部が形成されている。また、共通電極32及びこの配向制御窓34上にはこれらを覆うようにTFT基板10側と同様の垂直配向膜28が形成されている。

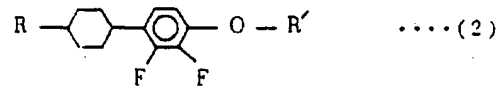
【0021】液晶層40は、例えば3 $\mu$ m～5 $\mu$ m程度に設定された基板間の間隙に封入され、液晶材料としては、液晶分子2の長軸方向の誘電率よりも短軸方向の誘電率が大きい、いわゆる負の誘電率異方性を有する液晶材料が用いられている。本実施形態において液晶層40に用いられている液晶材料は、側鎖にフッ素を有する下記化学式(1)～(6)で示される構造を備えた液晶分子を所望の割合で混合して作製したものであり、少なくとも、これら化学式(1)～(6)の内1種類の液晶分子を含むように混合されている。

【0022】

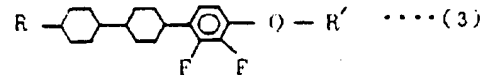
【化1】



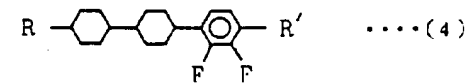
【化2】



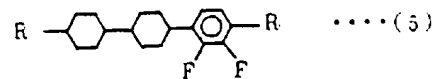
【化3】



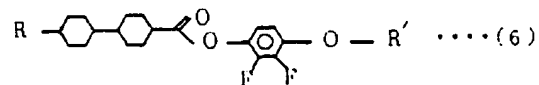
【化4】



【化5】



【化6】



現在、負の誘電率異方性を有する液晶材料としては、移動度の低い非晶質シリコンを能動層に利用したTFT液晶表示装置用として、側鎖にシアノ(CN-)基を有する液晶分子が主に用いられている。しかし、シアノ基を側鎖に備える液晶分子は、低電圧駆動では残留直流電圧の影響が大きくなるため、十分高い電圧で駆動する必要がある。しかし、本実施形態ではTFTとして低温プロセスによって作製され、低電圧駆動可能な多結晶シリコンTFTを用いている。従って、現在用いられているシアノ基を側鎖に備えた液晶材料を用いたのでは、低電圧駆動ができるという多結晶シリコンTFTの特性を活かすことができないこととなる。そこで、液晶材料として上述のように側鎖にフッ素を有する液晶分子を配合することにより、液晶層40は、例えば2V程度の低電圧での駆動が可能となり、さらに、多結晶シリコンTFTによる低電圧駆動でも十分高い電圧保持率を備え、焼き付きが防止されている。また、液晶表示装置を低電圧で駆動することができるため、非晶質シリコンTFTを用いた液晶表示装置と比較してより低消費電力の装置とすることを可能としている。

【0023】また、本実施形態では、上述のような負の誘電率異方性を有するフッ素系液晶分子を含有する液晶材料を用い、かつ垂直配向膜28を用いることにより、液晶分子の初期配向を垂直方向に制御するノーマリブラックモードのDAP型液晶表示装置を採用し、液晶分子の

長軸と短軸における屈折率の差、つまり複屈折現象を利用して、液晶層へ入射した光の透過率を制御している。

【0024】さらに、本実施形態では、図1及び図2に示すように共通電極32に電極不在部としての配向制御窓34を設けることにより、液晶分子を配向制御窓34を基準として所定の方角に傾け、液晶分子の応答性の向上を図ると共に、画素内で配向方向を分割することによって液晶表示の視角依存性を緩和し、広い視野角の表示装置を実現している。

【0025】液晶層40への電圧印加時（白表示時）において、図1に示す画素電極26の各辺のエッジ部分には、図2に点線で示すように共通電極32との間にそれぞれ異なる方角に斜めの電界が発生し、画素電極26の辺のエッジ部分において、液晶分子は垂直配向状態から斜め電界と反対の方向に傾く。液晶分子42は連続体性を有しているため、画素電極26のエッジ部分で斜め電界で液晶分子の傾き方角が決定すると（傾き角度は電界強度によって決定）、画素電極26の中央付近の液晶分子の傾き方角は、該画素電極26の各辺における液晶分子の傾き方角に追従して変化し、画素駆動時において、最終的に1つの画素領域内には、液晶分子の傾き方角の異なる複数の領域が発生することとなる。

【0026】一方、配向制御窓34には常に液晶動作閾値未満の電圧しか印加されないため、図2に示すように配向制御窓34に位置する液晶分子は、垂直配向したままとなる。このため、配向制御窓34が、常に上記液晶分子の傾き方角の異なる領域の境界となる。例えば、図1に示すように配向制御窓34をX字状とすれば、それぞれ傾き方角の異なる領域A、B、C、Dの境界は、このX字状の配向制御窓34上に固定されることとなる。従って、一つの画素領域内で配向分割が行われると共に、複数の異なる方角に傾く領域の境界を配向制御窓34の上に固定でき、優先視角方向を複数設けることができ（本実施形態の場合、上下左右の4つ）、広視野角の液晶表示装置とすることが可能となる。

【0027】また、上述のように画素電極26が層間絶縁膜22及び24を介してTFT及びその電極配線（ゲート電極配線、ドレイン電極配線）等の形成領域上を覆うように形成することで、TFT及び電極配線による電界が液晶層40に漏れ、液晶分子の配向に悪影響を与えることが防止されている。さらに、平坦化層間絶縁膜24により画素電極26の表面の平坦性を向上させることが可能であるため、画素電極26の表面の凹凸による液晶分子の配向の乱れも防止することが可能となっている。また、TFTや電極配線による電界の漏洩や画素電極26表面の凹凸などを低減することが可能な構成であるため、画素電極26のエッジ部と配向制御窓34の電界作用により液晶分子の配向を制御することで、垂直配向膜28に対するラビング工程は不要となっている。

【0028】また、画素電極26がTFT及び各電極配

線を覆うように形成することにより、TFTや配線との余分なアライメントマージンが不要となり、開口率をより高くすることを可能としている。

【0029】〔駆動回路〕次に、上述のような構成のノーマリブラックモードのDAP型液晶表示パネルの応答速度向上のための駆動回路及びその駆動方法について説明する。

【0030】図3は、本実施形態の液晶表示装置の全体構成を示しており、装置は、液晶表示パネル50とその駆動回路60を備える。

【0031】液晶表示パネル50は、図1及び図2に示すように「FT基板と対向基板との間に液晶層を挟持し、TFT基板側に、表示部TFTとして、自己整合によってチャネル、ソース、ドレインを作製可能な低温多結晶シリコンTFTが形成された表示部52を有する。またパネル50のTFT基板上の表示部52の周囲には、各表示部TFTを水平方向に選択するHドライバ54と、該表示部TFTを垂直方向に選択するVドライバ56が形成されている。これらH、Vドライバ54、56は、表示部52の多結晶シリコンTFTとほぼ同一の工程で形成したCMOS構造の多結晶シリコンTFTが用いられている。なお、上述のようなパネル構造の特徴によって、これらのTFTが密集したドライバ54、56の多結晶シリコンTFTに悪影響を与えるラビング工程を省略可能としているため、液晶表示装置としての歩留まり向上が図られている。

【0032】液晶表示パネル50の駆動回路60は、ビデオクロマ処理回路62、タイミングコントローラ64などが集積されて構成されている。ビデオクロマ処理回路62は、入力されるコンポジットビデオ信号からR、G、Bの映像信号を作成する。タイミングコントローラ64は、入力されるビデオ信号に基づいてVCO66の発生する基準発振信号から各種タイミング制御信号を形成し、これを上記ビデオクロマ処理回路62や、RGBドライバ処理回路70、レベルシフタ68などに供給する。RGBドライバ処理回路70は、ビデオクロマ処理回路62から供給されるRGB毎の映像信号から、TFTLCDの特性に応じたRGB毎の交流駆動信号を作成し、これを液晶表示パネル50に出力する。

【0033】この発明では、ノーマリブラックモードの液晶表示パネルに対し、駆動電圧の範囲の下限、つまり黒表示のために液晶層に印加する駆動電圧を0ボルトより大きく設定するが、このような黒表示のための駆動電圧の制御は、例えば、後述するように上記RGBドライバ処理回路70において行うことができる。

【0034】図4は、上記図1及び図2に示すときDAP型液晶表示パネルにおける液晶層へのOFF印加電圧[V]とその時のコントラスト[TON（透過率オン時）/TOFF（透過率オフ時）]との関係、及びOFF印加電圧と、液晶の応答時間[msec]との関係を表

している。ここで、OFF印加電圧は液晶がOFF状態、すなわち非動作状態を維持する電圧であり、このOFF印加電圧が0Vから2V程度の範囲では、上記液晶分子は初期配向状態である垂直配向を維持するため透過率は十分に低く、コントラストは900以上の高い値を示す。そして、液晶の光学特性が変化する電圧（以下光学特性変化電圧という） $V_{th}$ （図4の例では印加電圧2V付近）を超えるとコントラストが低下し、図4の例では3.5V程度になると、コントラストは一般的な表示品質下限と考えられる50程度まで低下する。

【0035】一方、印加電圧に対する応答時間は、図4に示されるように、黒表示状態から白表示状態に移行する場合（図中 $\square$ ）と、白表示状態から黒表示状態に移行する場合（図中 $\triangle$ ）とで、その特性が大きく異なる。白表示状態から黒表示状態へ移行する時、つまりノーマリブラックモードの液晶においてオン状態からオフ状態へ移行する時は、その応答時間は、5～10msecと短時間である。ところが、黒表示状態から白表示状態へと移行させる場合、つまりオフ状態からオン状態への移行時においては、OFF印加電圧が0Vから光学特性変化電圧 $V_{th}$ （図4では2V付近）の間の電圧範囲と、 $V_{th}$ 以上の電圧範囲の場合とで、要する応答時間、つまり応答速度は大きく異なる。具体的には、0V～ $V_{th}$ 未満の電圧範囲では、液晶の応答時間は75msec～30msecと非常に長い。が、 $V_{th}$ 以上になると応答時間は20msec程度以下となる。

【0036】以上のことから、黒表示における液晶層へのOFF印加電圧が $V_{th}$ 付近より低いと、黒表示から白表示への切替時に十分な応答速度が得られず、高い品質の表示を行うことが困難になることが予想される。しかし、DAP型液晶表示パネルに対して、印加電圧の下限を0Vより大きく設定すれば、黒表示から白表示への移行時の応答速度を高めることが可能となる。十分速い応答速度として、例えば応答時間20msec以下程度を満足するには、OFF印加電圧は、液晶の光学特性変化電圧 $V_{th}$ 以上の電圧とすることが好ましい。さらに、OFF印加電圧の上限は、例えばコントラスト50程度以上が満足できる電圧とすることが好適である。コントラストが50以上あれば、ある程度の表示品質を満足することができるからである。そして、以上のようにOFF印加電圧を設定することにより、高コントラストで高速応答の液晶表示が可能となる。また、液晶の光学特性変化電圧 $V_{th}$ は温度依存性を備えている。従って、液晶表示装置の環境温度の変化に適合させて常に最適な液晶表示を行うには、黒表示の印加電圧の下限をこの $V_{th}$ を基準として決定する場合、黒表示の印加電圧を温度変化による $V_{th}$ の変化に追従させて変化させることが好ましい。

【0037】図5は、駆動電圧範囲の制御を行うRGBドライバ処理回路70のRGBのいずれか一つについて

の構成例を示している。なお、RGBドライバ処理回路70は、図5と同一構成をRGBそれぞれについて備えている。図6は、図5のリミットレベル発生回路84の一例を示している。また、図7は、図5のRGBドライバ処理回路70における信号波形を表している。

【0038】図5のビデオクロマ処理回路62から出力されるRGB毎の映像信号は、それぞれ対応する差動出力アンプ73に供給され、ここでバイアス回路72の電圧に基づいたDC電位となることでブライト調整される。差動出力アンプ73からは第1バッファ74、第2バッファ75に非反転、反転出力信号がそれぞれ供給され、第1バッファ74は図7（a）に点線で示すような非反転出力信号 $a'$ を出力し、第2バッファ75は図7（b）に点線で示すような反転出力信号 $b'$ を出力する。これらの非反転出力信号 $a'$ 及び反転出力信号 $b'$ は、第1及び第2リミット回路78及び80でそれぞれの出力レベルの下限及び上限が1周期（T）毎に制限されてマルチプレクサ82に供給される（図7（a）、（b）の実線）。マルチプレクサ82は、反転制御信号に基づいて1周期（期間T1、T2）毎に、非反転出力信号（ $a'$ ）と反転出力信号（ $b'$ ）とを交互に選択し、これがバッファを介して液晶駆動用の交流駆動信号（ $c$ ）として液晶表示パネル50に出力される。

【0039】第1リミット回路78は、第1バッファ74とマルチプレクサ82との信号経路中に設けられたトランジスタQ1と、第2バッファ75とマルチプレクサ82との信号経路中に設けられたトランジスタQ2とからなる。トランジスタQ1及びQ2のベースには、後述するリミットレベル発生回路84からの図7（d）に示すような第1レベル制御信号（ $d$ ）が供給されている。また、第2リミット回路80は、第1バッファ74とマルチプレクサ82との信号経路中に設けられたトランジスタQ3と、第2バッファ75とマルチプレクサ82との信号経路中に設けられたトランジスタQ4とからなる。トランジスタQ3及びQ4のベースには、図7（e）に示すようなリミットレベル発生回路84からの第2レベル制御信号（ $e$ ）が供給されている。そして、この第1及び第2レベル制御信号（ $d$ ）、（ $e$ ）によって決定される電圧に応じて、第1リミット回路78のトランジスタQ1及び第2リミット回路80のQ4が動作することで、非反転出力信号 $a'$ 及び反転出力信号 $b'$ のレベルが制限され、液晶層に印加される電圧（絶対値）の黒レベルが0Vより大きい所定レベル未満にならないようにしている。

【0040】また、第1リミット回路78のトランジスタQ2と第2リミット回路80のトランジスタQ3が動作し、非反転出力信号 $a'$ 及び反転出力信号 $b'$ のレベルが制限され、液晶層に印加される電圧（絶対値）の白レベルが所望のレベルを超えないようにしている。なお、第1、第2リミット回路78及び80のトランジスタQ2



とQ3は本実施形態においては必ずしも必要ではないが、これらを設けて非反転、反転出力信号の上下レベルが所定範囲内となるように制御することで、白レベルが制御できると共にマルチプレクサ82に過大な電圧が印加されることを防止すると共に、交流駆動信号(c)の上下レベルの対称性を高めている。

【0041】次に、図6を参照してリミットレベル発生回路84の構成について説明する。このリミットレベル発生回路84は、端子100に供給される1周期(T)毎にレベルの変化する反転制御信号に応じて、レベルが切り替わる第1レベル制御信号(d)をトランジスタQ11のエミッタ側から出力し、また同様に第2レベル制御信号(e)をトランジスタQ10のエミッタ側から出力する。

【0042】まず、端子100に印加される反転制御信号の反転信号の電圧が基準電源86の電圧Vrefより高いHレベルの場合、トランジスタQ19がオンする。この際、端子200に印加される反転制御信号がLレベルであるので基準電源90-2(Vref2)が選択される。したがって、第1カレントミラー回路CC1により、定電流源92の流す定電流I<sub>2</sub>とほぼ等しい電流I<sub>1</sub>が抵抗R1に流れ、トランジスタQ10のベース電位は「Vref2-R<sub>2</sub>・I<sub>1</sub>」となり、トランジスタQ10のエミッタ側から対応する第2レベル制御信号(e)が出力される。また、この際、トランジスタQ14がオフしているので、第2カレントミラー回路CC2には電流が流れず、トランジスタQ11のベース電位は基準電源90-2と同じ「Vref2」となり、対応する第1レベル制御信号(d)がトランジスタQ11のエミッタ側から出力される。

【0043】次に、端子100に印加される反転制御信号の反転信号の電圧が基準電源86の電圧Vrefより低いLレベルの場合、差動対を構成するPNPトランジスタQ13及びQ14のうちのトランジスタQ14がオンする。そして、第2カレントミラー回路CC2により電流源88から供給される電流I<sub>1</sub>とほぼ等しい電流I<sub>2</sub>が抵抗R2に流れる。この際、端子200に印加される反転制御信号がHレベルであるので基準電源90-1(Vref1)が選択され、抵抗R2に接続される。よって、この抵抗R2に接続されたトランジスタQ11のベース電位は、抵抗R2における電圧降下により「Vref1-R<sub>2</sub>・I<sub>1</sub>」となり(図7(d))、トランジスタQ11のエミッタから対応する第1レベル制御信号(d)が出力される。また、この際、差動対をなすNPNトランジスタQ19及びQ20の内のトランジスタQ19がオフしているため、第1カレントミラー回路CC1には電流が流れておらず、この第1カレントミラー回路CC1の出力側トランジスタと抵抗R1との間に接続されたトランジスタQ10のベース電位は、抵抗R1の他端に接続されている基準電源90-1と同じ「Vref1」とな

る。よって、トランジスタQ10のエミッタからは図7(e)に示すような第2レベル制御信号(e)が出力される。

【0044】ここで、第1及び第2レベル制御信号(d)、(e)の波形は、図7(d)、(e)の二点鎖線で波形であり、図7(d)、(e)の実線の波形は、トランジスタQ11、Q10のベース波形であってこれが非反転、反転信号(a)、(b)のリミットレベルとなる。

【0045】反転制御信号がLレベルでマルチプレクサ82において非反転出力信号(a)が選択されているとき(図7の期間T1)、第1リミット回路78のトランジスタQ1のリミットレベルは「Vref2」であり、従って、非反転出力信号aの下限レベル(期間T1における黒表示レベル)は「Vref2」より低くならないように制御されることとなる。一方、第2リミット回路80のトランジスタQ3のリミットレベルは、「Vref2-R<sub>2</sub>・I<sub>1</sub>」であり、非反転出力信号aの上限レベル(期間T1における白表示レベル)は「Vref2+R<sub>2</sub>・I<sub>1</sub>」を超えないように制御される。また、この際、第1リミット回路78のトランジスタQ2がマルチプレクサ82で選択されていない反転出力信号bに対して、そのレベルを「Vref2」に固定するため、マルチプレクサ82の切替端子間に過大な電圧が発生することが防止される。

【0046】次に、反転制御信号がHレベルでマルチプレクサ82において反転出力信号(b)が選択されているとき(図7の期間T2)、第1リミット回路78のトランジスタQ2のリミットレベルは「Vref1-R<sub>2</sub>・I<sub>1</sub>」であり、反転出力信号(b)の下限レベル(期間T2における白レベルに対応)が「Vref1-R<sub>2</sub>・I<sub>1</sub>」より低くならないように制御される。第2リミット回路80のトランジスタQ4のリミットレベルは「Vref1」であり、反転出力信号bの上限レベル(期間T2における黒表示レベル)がこの「Vref1」を超えないように制御される。なお、この際、第2リミット回路80のトランジスタQ3が、マルチプレクサ82で選択されていない非反転出力信号aに対して、そのレベルが「Vref1」に固定されるため、この場合にも、マルチプレクサ82の切替端子間に過大な電圧が発生することが防止される。

【0047】以上のような動作により、LCDパネル50へバッファを介してマルチプレクサ82から供給される信号は、図7(c)に示すように、常にそれぞれ各期間T1、T2における黒表示レベルがVref2以下となるか、またはVref1以下になるように制御される。

【0048】本実施形態では、上述のように液晶駆動電圧の黒表示レベルが0Vより大きくなるように、より好ましくは該レベルがV<sub>th</sub>〜V<sub>c50</sub>(V<sub>c50</sub>:コントラスト50を満たす印加電圧)の範囲内になるように制御するが、これは、例えば、図6に示すリミットレベル発生

回路84の抵抗R1及びR2の抵抗値や、基準電源90-1及び90-2の電圧Vref1(=Vcen-ΔV)、Vref2(=Vcen+ΔV)を所望の値に調整することにより達成することができる。また、温度変化によるVthの変化に黒表示レベルの電圧を追従させるためには、例えば、温度変化に応じて基準電源90-1、90-2の電圧Vref1、Vref2を変更するなどにより行うことができる。

【0049】なお、以上においては、駆動対象である液晶表示パネルとして垂直配向されたノーマリブラックモードのDAP型液晶表示パネルを例に挙げているが、液晶初期傾斜角0度で水平配向されたツイストネマティック型の液晶表示パネルやNW(ノーマリホワイト)LCDなど、液晶オフ状態とオン状態間の移行速度が遅い液晶表示パネルについても同様な効果を有する。即ち、液晶を駆動する印加電圧範囲の下限を0Vより大きく設定することによりその応答速度を向上することが可能となる。

【0050】また、本実施形態の装置を用いてカラー液晶表示装置を構成する場合には、R、G、Bの各色成分に対し、液晶表示装置の印加電圧(液晶ON印加電圧、白表示レベル)と透過率と関係が異なるため、このような各成分毎の透過率の相違を補正するために第1リミット回路78のトランジスタQ2と上記第2リミット回路80のトランジスタQ3によって各色成分毎に白表示レベルを制御してもよい。図8は、液晶表示装置のRGB各色ごとの印加電圧[V]と透過率[T]との関係を表している。図8から理解できるように、ECB型の液晶表示装置は波長依存性を有しており、RGB各色成分の透過量を概ね等しくするためには、各色についての設定最大透過率に対する液晶駆動電圧レベル、つまり、ノーマリブラックモードの該当液晶画素をオン状態とするために設定する白表示電圧レベルを、例えば図8のような特性の場合に、R用は7.8V付近、G用は7V付近、B用は4.9V付近に設定する。これにより、RGB光の合成により白色を表示するカラー表示の場合に、白色を忠実に表示することが可能となる。

【0051】

【発明の効果】以上説明したように、この発明においては、液晶層に印加する駆動電圧範囲の下限を0ボルトよ

り大きい所望の範囲に設定することで、高コントラストを満たしつつ液晶の応答速度を向上させることができる。また、オフ表示のために液晶層に印加する電圧の下限を液晶の光学特性変化電圧以上に設定する場合に、表示装置の周囲温度に応じた光学特性変化電圧の変化に該下限を追従させることにより、様々な温度環境下においても常時、高品質な表示を行うことが可能となる。

【図面の簡単な説明】

【図1】 本実施形態に係る液晶表示パネルの平面構成の一例を示す概念図である。

【図2】 図1の液晶表示パネルのA-A線に沿った概略断面を示す図である。

【図3】 本実施形態の液晶表示装置の全体構成を示すブロック図である。

【図4】 本実施形態の液晶表示パネルにおける印加電圧とコントラスト及び応答時間の関係を示す図である。

【図5】 図3のRGBドライバ処理回路70の概略構成を示す図である。

【図6】 図5のリミットレベル発生回路84の構成を示す図である。

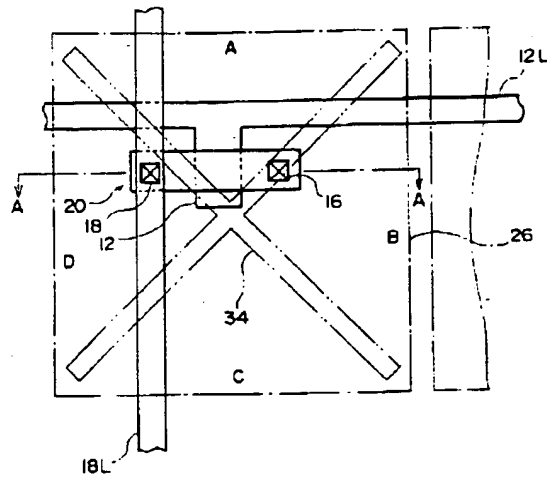
【図7】 図5の回路における信号波形を示す図である。

【図8】 本実施形態の液晶表示パネルにおける印加電圧と透過率の波長依存性を示す図である。

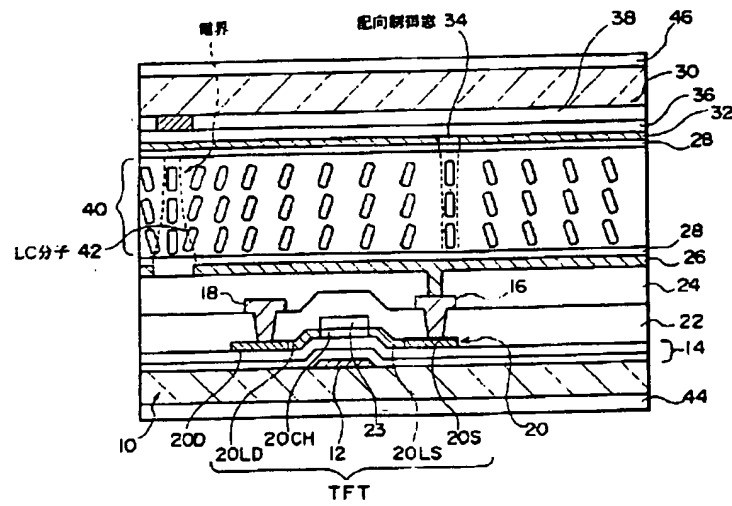
【符号の説明】

10 TFT基板(第1基板)、12 ゲート電極、14 ゲート絶縁膜、16 ソース電極、18 ドレイン電極、20 多結晶シリコン薄膜、20S ソース領域、20LS 低濃度ソース領域、20CH チャネル領域、20D ドレイン領域、20LD 低濃度ドレイン領域、22 層間絶縁膜、23 注入ストッパ、24 平坦化層間絶縁膜(SOG)、26 画素電極、28 垂直配向膜、30 対向基板(第2基板)、32 共通電極、34 配向制御窓、36 保護膜、38 カラーフィルタ、40 液晶層、42 液晶分子、50 液晶表示パネル、60 駆動回路、62 ビデオクロマ処理回路、64 タイミングコントローラ、66 VCO、70 RGBドライバ処理回路、78 第1リミット回路、80 第2リミット回路、82 マルチプレкса、84 リミットレベル発生回路。

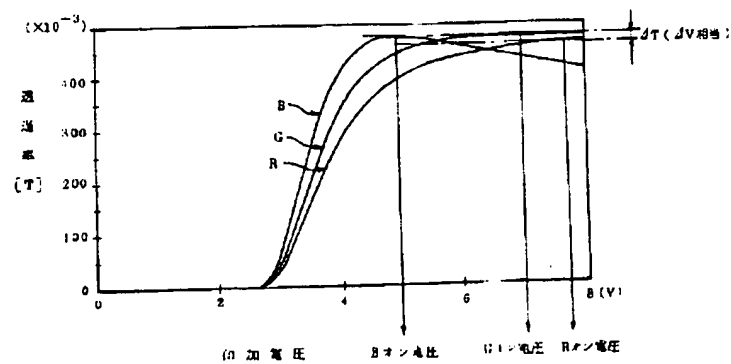
【図1】



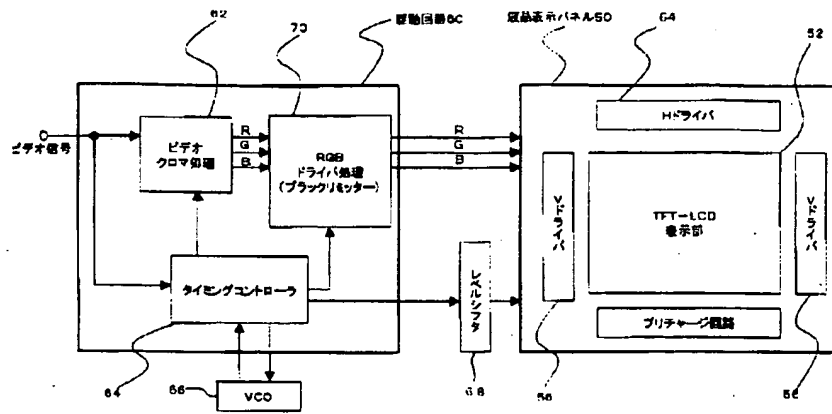
【図2】



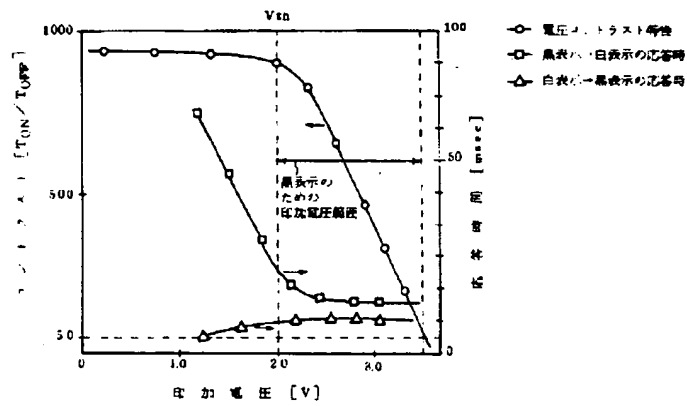
【図8】



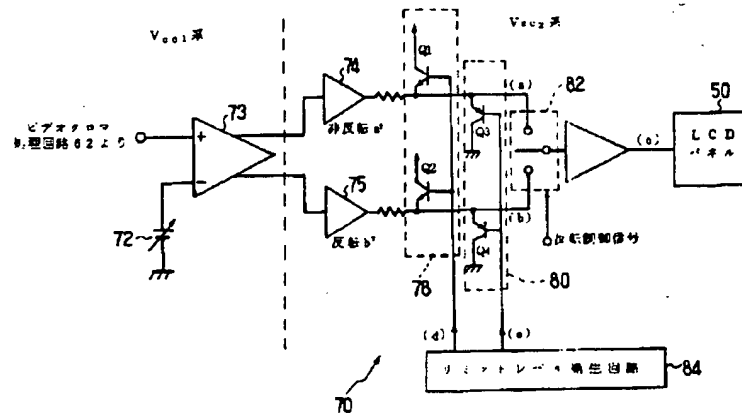
【図3】



【図4】



【図5】



The diagram illustrates a complex current mirror circuit. At the top, a dashed box labeled CC1 contains transistors Q10, Q11, Q13, and Q14. Transistors Q10 and Q11 are connected to +Vcc and ground, with resistors R1 and R2 in their emitters. Transistors Q13 and Q14 are connected to a common emitter node, with a current source I1 in the emitter of Q13. A feedback loop labeled 80 (the second limit circuit) is connected to the base of Q10, and another feedback loop labeled 78 (the first limit circuit) is connected to the base of Q11. A third current mirror, CC3, consists of transistors Q12 and Q19, with a current source I2 in the emitter of Q12. A feedback loop labeled 84 is connected to the base of Q19. The circuit is powered by +Vcc and Vref. Output signals 90-1 and 90-2 are shown, along with a feedback signal 84. The circuit also includes a first current mirror (CC1) and a second current mirror (CC2).

Figure 1 consists of five sub-diagrams (a) through (e) showing waveforms for a two-stage converter. A vertical dashed line separates the two time intervals,  $T_1$  and  $T_2$ .

- (a) Input current  $i_a$  (solid line) and its components  $i_{a1}$  (dashed line) and  $i_{a2}$  (dotted line). The current is zero during  $T_1$  and  $T_2$ . The voltage levels are 0 and 12.
- (b) Output current  $i_b$  (solid line) and its components  $i_{b1}$  (dashed line) and  $i_{b2}$  (dotted line). The current is zero during  $T_1$  and  $T_2$ . The voltage levels are 0 and 12.
- (c) Input voltage  $V_{in}$  (solid line) and output voltage  $V_{out}$  (dashed line).  $V_{in}$  is 0 during  $T_1$  and  $T_2$ .  $V_{out}$  is 0 during  $T_1$  and  $T_2$ . The voltage levels are 0 and 12.
- (d) Input voltage  $V_{in}$  (solid line) and output voltage  $V_{out}$  (dashed line).  $V_{in}$  is 0 during  $T_1$  and  $T_2$ .  $V_{out}$  is 0 during  $T_1$  and  $T_2$ . The voltage levels are 0 and 12.
- (e) Input voltage  $V_{in}$  (solid line) and output voltage  $V_{out}$  (dashed line).  $V_{in}$  is 0 during  $T_1$  and  $T_2$ .  $V_{out}$  is 0 during  $T_1$  and  $T_2$ . The voltage levels are 0 and 12.